

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-085686

(43)Date of publication of application : 30.03.2001

(51)Int.Cl.

H01L 29/78
H01L 21/316
H01L 21/76
H01L 21/336

(21)Application number : 11-259163

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.09.1999

(72)Inventor : NAKAMURA KATSUMITSU

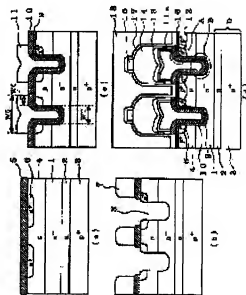
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a device structure which enhances a gate-insulating-film characteristic and a transistor characteristic in a semiconductor device having the gate of a MOS structure and to obtain its manufacturing method.

SOLUTION: This semiconductor device comprises the gate of a MOS structure provided with a laminated gate insulating film which contains at least two kinds of insulating films, i.e., a thermal oxide film 9 formed on a semiconductor substrate and a CVD oxide film 10 formed on the side a gate electrode 11 from the thermal oxide film 9. The ratio of the CVD oxide film 10 is set at 20% or higher of the film thickness of the laminated gate insulating film as a whole. In addition, after the thermal

oxide film 9 or the CVD oxide film 10 is formed, a nitriding operation by N_2O , NH_3 or NO gas is performed, and nitrogen may be segregated in one or both of the interface between the thermal oxide film and the substrate and the interface between the gate electrode and the CVD oxide film. Alternatively, after the thermal oxide film 9 or the CVD oxide film 10 is formed, an Si_3N_4 film is formed by an LPCVD operation, the surface of the Si_3N_4 film is oxidized, and an oxide film may be formed.



LEGAL STATUS

[Date of request for examination] 24.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)	
H 0 1 L 29/78		H 0 1 L 29/78	6 5 2 K	5 F 0 3 2
21/316		21/316	S	5 F 0 4 0
			X	5 F 0 5 8
21/76		21/76	M	
			L	
審査請求 未請求 請求項の数21 O L (全 16 頁) 最終頁に続く				

(21) 出願番号 特願平11-259163

(22) 出願日 平成11年9月13日 (1999.9.13)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中村 勝光

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100073759

弁理士 大岩 増雄

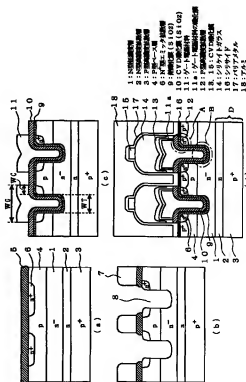
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 MOS構造のゲートを有する半導体装置においてゲート絶縁膜特性及びトランジスタ特性を向上させるデバイス構造及びその製造方法を得る。

【解決手段】 半導体基板上に設けられた熱酸化膜9と、この熱酸化膜9よりもゲート電極11側に設けられたCVD酸化膜10の少なくとも2種類以上の絶縁膜を含む積層ゲート絶縁膜を備えたMOS構造のゲートを有する半導体装置において、CVD酸化膜10の比率を積層ゲート絶縁膜全体の膜厚の20%以上とする。さらに、熱酸化膜9またはCVD酸化膜10を形成後、N₂O、NH₃、NOガスによる窒化を行い、熱酸化膜/基板界面及びゲート電極/CVD酸化膜界面のいずれか一方または両方に窒素を偏析させてもよい。また、熱酸化膜9またはCVD酸化膜10を形成後、LPCVDによりSi₃N₄膜19を形成し、さらにSi₃N₄膜19表面を酸化して酸化膜を形成してもよい。



【特許請求の範囲】

【請求項1】 MOS構造のゲートを有する半導体装置において、半導体基板上に設けられた熱酸化膜とこの熱酸化膜よりもゲート電極側に設けられたCVD酸化膜の少なくとも2種類以上の絶縁膜を含む積層ゲート絶縁膜を備え、上記CVD酸化膜の比率を上記積層ゲート絶縁膜全体の膜厚の20%以上とすることを特徴とする半導体装置。

【請求項2】 積層ゲート絶縁膜は、熱酸化膜/半導体基板界面及びゲート電極/CVD酸化膜界面のいずれか一方または両方に、窒素が偏析している窒化酸化膜を含むことを特徴とする請求項1記載の半導体装置。

【請求項3】 積層ゲート絶縁膜は、 Si_3N_4 膜を含むことを特徴とする請求項1または請求項2に記載の半導体装置。

【請求項4】 積層ゲート絶縁膜は、 Si_3N_4 膜の表面を酸化した酸化膜を含むことを特徴とする請求項3記載の半導体装置。

【請求項5】 積層ゲート絶縁膜は、縦型または横型のパワートランジスタのゲート絶縁膜として用いられることを特徴とする請求項1～4のいずれか一項に記載の半導体装置。

【請求項6】 半導体基板上に設けられた複数のトレンチの一部または全てをゲート、キャパシタまたは分離として用いる半導体装置において、上記トレンチ内壁に設けられた熱酸化膜とこの熱酸化膜より上層に設けられたCVD酸化膜の少なくとも2種類以上の絶縁膜を含む積層絶縁膜を備え、上記CVD酸化膜の比率を上記積層絶縁膜全体の膜厚の20%以上とすることを特徴とする半導体装置。

【請求項7】 トレンチ内部を埋め込んでいる積層絶縁膜以外の材料は、その表面が半導体基板表面よりも突出していることを特徴とする請求項6記載の半導体装置。

【請求項8】 トレンチ内部を埋め込んでいる積層絶縁膜以外の材料は、その表面がトレンチ内部にあり半導体基板表面に突出していないことを特徴とする請求項6記載の半導体装置。

【請求項9】 積層絶縁膜は、熱酸化膜/半導体基板界面及びトレンチ内部を埋め込んでいる材料/CVD酸化膜界面のいずれか一方または両方に、窒素が偏析している窒化酸化膜を含むことを特徴とする請求項6～8のいずれか一項に記載の半導体装置。

【請求項10】 積層絶縁膜は、 Si_3N_4 膜を含むことを特徴とする請求項6～請求項9のいずれか一項に記載の半導体装置。

【請求項11】 積層絶縁膜は、 Si_3N_4 膜の表面を酸化した酸化膜を含むことを特徴とする請求項10記載の半導体装置。

【請求項12】 MOS構造のゲートを有する半導体装置の製造方法であって、

半導体基板上に熱酸化により熱酸化膜を形成する工程、上記熱酸化膜より上層にCVD法によりCVD酸化膜を形成し、少なくとも上記熱酸化膜と上記CVD酸化膜を含む積層ゲート絶縁膜を形成する工程、上記積層ゲート絶縁膜をアニール後、ゲート電極を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項13】 熱酸化膜を形成後、 N_2O 、 NH_3 、 NO ガスによる窒化を行い、熱酸化膜/半導体基板界面に窒素を偏析させる工程を含むことを特徴とする請求項12記載の半導体装置の製造方法。

【請求項14】 CVD酸化膜を形成後、 N_2O 、 NH_3 、 NO ガスによる窒化を行い、熱酸化膜/半導体基板界面及びゲート電極/CVD酸化膜界面に窒素を偏析させる工程を含むことを特徴とする請求項12記載の半導体装置の製造方法。

【請求項15】 熱酸化膜またはCVD酸化膜を形成後、 Si_3N_4 膜を形成する工程を含むことを特徴とする請求項12記載の半導体装置の製造方法。

【請求項16】 Si_3N_4 膜を形成後、この Si_3N_4 膜表面を酸化した酸化膜を形成する工程、または上記 Si_3N_4 膜表面を酸化し、さらに別のCVD酸化膜を形成する工程を含むことを特徴とする請求項15記載の半導体装置の製造方法。

【請求項17】 半導体基板上に設けられた複数のトレンチの一部または全てをゲート、キャパシタまたは分離として用いる半導体装置の製造方法であって、半導体基板上に複数のトレンチを形成する工程、上記トレンチの内壁に熱酸化により熱酸化膜を形成する工程、

上記熱酸化膜より上層にCVD法によりCVD酸化膜を形成し、少なくとも上記熱酸化膜と上記CVD酸化膜を含む積層絶縁膜を形成する工程、

上記積層絶縁膜をアニール後、所定の材料によりトレンチ内部を埋め込む工程を含むことを特徴とする半導体装置の製造方法。

【請求項18】 熱酸化膜を形成後、 N_2O 、 NH_3 、 NO ガスによる窒化を行い、熱酸化膜/半導体基板界面に窒素を偏析させる工程を含むことを特徴とする請求項17記載の半導体装置の製造方法。

【請求項19】 CVD酸化膜を形成後、 N_2O 、 NH_3 、 NO ガスによる窒化を行い、熱酸化膜/半導体基板界面及びトレンチ内部を埋め込んでいる材料/CVD酸化膜界面に窒素を偏析させる工程を含むことを特徴とする請求項17記載の半導体装置の製造方法。

【請求項20】 熱酸化膜またはCVD酸化膜を形成後、 Si_3N_4 膜を形成する工程を含むことを特徴とする請求項17記載の半導体装置の製造方法。

【請求項21】 Si_3N_4 膜を形成後、この Si_3N_4 膜表面を酸化した酸化膜を形成する工程、または上記

Si_3N_4 膜表面を酸化し、さらに別のCVD酸化膜を形成する工程を含むことを特徴とする請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS構造のゲートを有する半導体装置に関し、特にトレンチをMOSゲートとして用いるパワーデバイスのトレンチ内壁に形成されるゲート絶縁膜特性及びトランジスタ特性を向上するた

【0002】

【従来の技術】図23は、従来のMOS構造のトレンチゲートを有するパワーデバイスであるIGBT（絶縁ゲート型バイポーラトランジスタ）の構造を示す断面図である。図において、1はN型低濃度層、2はN型高濃度拡散層、3はP型高濃度拡散層、4はP型ベース層、6はN⁺型エミッタ拡散層、9はトレンチ内壁にゲート絶縁膜として形成された熱酸化膜（ SiO_2 ）、11はトレンチ内部を埋め込むゲート電極材料で、例えば高濃度リンを含むpoly-Si等、11aはゲート電極材料11を酸化して形成された酸化膜、12はP型高濃度拡散層、13、15はCVD酸化膜、14はシリケートガラス、16はシリサイド、17はバリアメタル、18はアルミをそれぞれ示している。この例のように、従来のMOS構造のトレンチゲートを有するIGBTでは、ゲート絶縁膜として熱酸化膜9が一般的に用いられていた。また、例えば特開平7-249770号公報、特開平8-172091号公報では、MOSトランジスタのゲート絶縁膜として、熱酸化膜の上に窒化膜を形成し、さら

【0003】

【発明が解決しようとする課題】しかしながら、図23に示すような従来のデバイスの構造では、トレンチ内壁に数種類の面方位（例えば(100)、(110)、(111)面の三種類）が存在するために、トレンチ内壁のゲート絶縁膜膜厚の均一性低下や、図2(b)及び図3(b)に示すように、トレンチ開口部（図22中Aで示す部分）や、トレンチ底部（図22中Bで示す部分）での局所的なゲート絶縁膜の薄膜化、及び図4(c)に示すようなLoco's Edgeにおけるゲート絶縁膜の薄膜化により、局所的な電界集中が起きるといったデバイス構造に起因する問題があった。このため、ゲート絶縁膜特性、信頼性の劣化を招いていた。また、トレンチ側壁近傍には、トレンチを形成するためのエッチングや熱処理等により起因した結晶欠陥、ストレスが存在する。このような基板（Si）表面を熱酸化することにより形成された熱酸化膜9は欠陥密度が多くなり、熱酸化膜9/基板界面における界面準位の増加を招き、ゲート絶縁膜（酸化膜）膜質の低下や

デバイス特性への悪影響（主接合リーク電流の増大、基板のキャリアライフタイムの低下によるデバイス特性の悪化）が懸念される。このようなSi表面の影響を抑制するためには、ゲート酸化時の熱酸化工程を少なくする必要があった。また、熱酸化膜9を形成する場合に、トレンチの側面にはN⁺型エミッタ拡散層6、P型ベース層4が形成されているため、それらの拡散層のドーパントが熱酸化膜9へ拡散していき、ゲート絶縁膜特性や信頼性を低下させ、MOSトランジスタ特性の低下を招くという問題があった。

【0004】本発明は、上記のような問題点を解消するためになされたもので、MOS構造のゲートを有する半導体装置において、ゲート絶縁膜特性及びMOSトランジスタ特性を向上させるデバイス構造及びその製造方法を得ることを目的とする。

【0005】

【課題を解決するための手段】本発明に係る半導体装置は、MOS構造のゲートを有する半導体装置において、半導体基板上に設けられた熱酸化膜とこの熱酸化膜よりもゲート電極側に設けられたCVD酸化膜の少なくとも2種類以上の絶縁膜を含む積層ゲート絶縁膜を備え、CVD酸化膜の比率を積層ゲート絶縁膜全体の膜厚の20%以上とするものである。また、積層ゲート絶縁膜は、熱酸化膜/半導体基板界面及びゲート電極/CVD酸化膜界面のいずれか一方または両方に、窒素が偏析している窒化酸化膜を含むものである。また、積層ゲート絶縁膜は、 Si_3N_4 膜を含むものである。さらに、積層ゲート絶縁膜は、 Si_3N_4 膜の表面を酸化した酸化膜を含むものである。また、積層ゲート絶縁膜は、縦型または横型のパワートランジスタのゲート絶縁膜として用いられるものである。

【0006】また、半導体基板上に設けられた複数のトレンチの一部または全てをゲート、キャパシタまたは分離として用いる半導体装置において、トレンチ内壁に設けられた熱酸化膜とこの熱酸化膜より上層に設けられたCVD酸化膜の少なくとも2種類以上の絶縁膜を含む積層ゲート絶縁膜を備え、CVD酸化膜の比率を積層ゲート絶縁膜全体の膜厚の20%以上とするものである。また、トレンチ内部を埋め込んでいる積層ゲート絶縁膜以外の材料は、その表面が半導体基板表面よりも突出しているものである。また、トレンチ内部を埋め込んでいる積層ゲート絶縁膜以外の材料は、その表面がトレンチ内部にあり半導体基板表面に突出していないものである。また、積層ゲート絶縁膜は、熱酸化膜/半導体基板界面及びトレンチ内部を埋め込んでいる材料/CVD酸化膜界面のいずれか一方または両方に、窒素が偏析している窒化酸化膜を含むものである。また、積層ゲート絶縁膜は、 Si_3N_4 膜を含むものである。さらに、積層ゲート絶縁膜は、 Si_3N_4 膜の表面を酸化した酸化膜を含むものである。

【0007】また、本発明に係る半導体装置の製造方

法は、MOS構造のゲートを有する半導体装置の製造方法であって、半導体基板上に熱酸化により熱酸化膜を形成する工程と、熱酸化膜より上層にCVD法によりCVD酸化膜を形成し、少なくとも熱酸化膜とCVD酸化膜を含む積層ゲート絶縁膜を形成する工程と、積層ゲート絶縁膜をアニール後、ゲート電極を形成する工程を含んで製造するようにしたものである。また、熱酸化膜を形成後、 N_2O 、 NH_3 、 NO ガスによる窒化を行い、熱酸化膜/半導体基板界面に窒素を偏析させる工程を備えたものである。また、CVD酸化膜を形成後、 N_2O 、 NH_3 、 NO ガスによる窒化を行い、熱酸化膜/半導体基板界面及びゲート電極/CVD酸化膜界面に窒素を偏析させる工程を含むものである。また、熱酸化膜またはCVD酸化膜を形成後、 Si_3N_4 膜を形成する工程を含むものである。さらに、 Si_3N_4 膜を形成後、この Si_3N_4 膜表面を酸化した酸化膜を形成する工程、または上記 Si_3N_4 膜表面を酸化し、さらに別のCVD酸化膜を形成する工程を含むものである。また、半導体基板上に設けられた複数のトレンチの一部または全てをゲート、キャパシタまたは分離として用いる半導体装置の製造方法であって、半導体基板上に複数のトレンチを形成する工程と、トレンチの内壁に熱酸化により熱酸化膜を形成する工程と、熱酸化膜より上層にCVD法によりCVD酸化膜を形成し、少なくとも熱酸化膜とCVD酸化膜を含む積層ゲート絶縁膜を形成する工程と、積層ゲート絶縁膜をアニール後、所定の材料によりトレンチ内部を埋め込む工程を含んで製造するようにしたものである。また、熱酸化膜を形成後、 N_2O 、 NH_3 、 NO ガスによる窒化を行い、熱酸化膜/半導体基板界面に窒素を偏析させる工程を含むものである。また、CVD酸化膜を形成後、 N_2O 、 NH_3 、 NO ガスによる窒化を行い、熱酸化膜/半導体基板界面及びトレンチ内部を埋め込んでいる材料/CVD酸化膜界面に窒素を偏析させる工程を含むものである。また、熱酸化膜またはCVD酸化膜を形成後、 Si_3N_4 膜を形成する工程を含むものである。さらに、 Si_3N_4 膜を形成後、この Si_3N_4 膜表面を酸化した酸化膜を形成する工程、または上記 Si_3N_4 膜表面を酸化し、さらに別のCVD酸化膜を形成する工程を含むものである。

【0008】

【発明の実施の形態】実施の形態1. 以下に、本発明の実施の形態を図面に基づいて説明する。図1は、本発明の実施の形態1における半導体装置であるトレンチMOSゲート構造を用いたIGBT（絶縁ゲート型バイポーラトランジスタ）の製造方法を示す断面図である。図において、1はN型低濃度層、2はN型高濃度拡散層、3はP型高濃度拡散層、4はP型ベース層、5は熱酸化膜、6はN⁺型エミッタ拡散層、7はCVD酸化膜、8はトレンチを形成している。また、9はトレンチ8内壁にゲート絶縁膜として形成された熱酸化膜（ SiO_2 ）、

10は熱酸化膜9よりもゲート電極側に設けられたCVD酸化膜（ SiO_2 ）で、本実施の形態では、熱酸化膜9とCVD酸化膜10によって積層ゲート絶縁膜が構成されている。さらに、11はトレンチ8内部を埋め込むゲート電極材料で、例えば高濃度リンを含むpoly-Siもしくはノンドープドpoly-Siにリンをイオン注入でドーブした材料等が用いられる。11aはゲート電極材料11を酸化して形成された酸化膜、12はP型高濃度拡散層、13、15はCVD酸化膜、14はシリケートガラス、16はシリサイド、17はバリアメタル、18はアルミをそれぞれ示している。本実施の形態では、半導体基板上に設けられた熱酸化膜9とこの熱酸化膜9よりもゲート電極11側に設けられたCVD酸化膜10の少なくとも2種類以上の絶縁膜を含む積層ゲート絶縁膜を備えたMOS構造のゲートを有する半導体装置において、CVD酸化膜10の比率を積層ゲート絶縁膜全体の膜厚の20%以上とするものである。

【0009】次に、本実施の形態におけるIGBTの製造方法を図1を用いて簡単に説明する。まず、例えば表面濃度 $2 \times 10^{16} \text{ cm}^{-3}$ 以上、拡散深さ $0.3 \mu\text{m}$ 以上のP型高濃度拡散層3上に、例えばピーク濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 以下、拡散深さP型高濃度拡散層3の拡散深さ以上で $400 \mu\text{m}$ 以下のN型高濃度拡散層2、さらに例えば濃度 $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-3}$ 、深さ $40 \sim 600 \mu\text{m}$ のN型低濃度層1を、順次エピタキシャル成長により形成する。なお、N型低濃度層1、N型高濃度拡散層2及びP型高濃度拡散層3については、イオン注入、拡散で形成してもよい。次に、基板表面（N型低濃度層1）の中に、例えばピーク濃度 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、拡散深さ $1 \sim 4 \mu\text{m}$ 、トレンチ8の深さよりも浅いP型ベース層4を形成し、さらに例えば表面濃度 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 、拡散深さ $0.3 \sim 2 \mu\text{m}$ のN⁺型エミッタ拡散層6を形成する（図1(a)）。

【0010】N⁺型エミッタ拡散層6を形成後、CVD酸化膜7を形成し、パターンニング、エッチングによりトレンチ8を形成する。さらに、トレンチMOSゲート特性を向上させるために、トレンチエッチング後の後処理（特願平6-12559号、特願平7-1347号参照）を行い、トレンチ開口部及び底部のラウンディング化、内壁の平滑化を行う（図1(b)）。次に、ここまではトレンチ8内壁に熱酸化により熱酸化膜9を形成し、さらにこの熱酸化膜9上にLP-CVD法によりCVD酸化膜10を形成することにより、熱酸化膜9とCVD酸化膜10からなる積層ゲート絶縁膜を形成する。ここで、熱酸化膜9の膜厚を $t_{ox}(9)$ 、CVD酸化膜10の膜厚を $t_{ox}(10)$ 、トータルゲート絶縁膜膜厚で、MOSトランジスタのしきい値電圧(V_{TH})を決定する膜厚を $t_{ox}(\text{total})$ のとし、各酸化膜の膜厚は、以下の式で表す条件を満たしている。

$t_{\alpha}(9) \leq 0.2 t_{\alpha}(\text{total})$

$t_{\alpha}(10) \geq 0.2 t_{\alpha}(\text{total})$

【0011】CVD酸化膜10を形成後、CVD酸化膜10の緻密化および熱酸化膜9と基板(Si)の界面に欠陥密度の低い新たな層を形成するためにアニールを行う。その後、トレンチ8をゲート電極材料11で埋め込み、写真製版とエッチングによりゲート電極材料11をパターンニングする(図1(c))。この時、基板表面より突出しているゲート電極の幅をWG、トレンチの幅をWT、基板表面より突出しているゲート電極エッジのトレンチ開口部からの寸法をWCとすると、パターンニング後の寸法は以下の関係を満足している。

$WG \geq 1.3WT$

$WC \geq 0.2\mu m$

さらに、ゲート抵抗の低抵抗化のために、ゲート電極材料11の表面にTiSi、CoSi等のシリサイド層を形成してもよい。

【0012】次に、ゲート電極材料11の表面を酸化させ酸化膜11aを形成した後、例えば表面濃度 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 、拡散深さはN⁺型エミッタ拡散層6以下のP型高濃度拡散層12を形成する。さらに、CVD酸化膜13、シリケートガラス14、CVD酸化膜15を形成した後、コンタクトのパターンニングを行い、スパッタ法やランプアニール等を用いてシリサイド16、バリアメタル17、アルミ18を形成し、本実施の形態におけるIGBTが完成する(図1(d))。なお、ここではゲート電極材料11の表面を酸化しているが、ゲート電極材料11中のドーパントが酸化されることでゲート酸化膜特性を悪化させる現象が起きることがあるので、酸化膜11aは形成しなくてもかまわない。

【0013】以上のように構成された本実施の形態におけるIGBTでは、図2(a)及び図3(a)に示すように、トレンチ8開口部(図1(d)中Aで示す部分)及びトレンチ8底部(図1(d)中Bで示す部分)においても、熱酸化膜9及びCVD酸化膜10よりなる積層ゲート絶縁膜は均一で十分な厚みを有し、従来例(図2(b)、図3(b))のような局所的な薄膜化はみられない。また、図3(c)、(d)に示すように、トレンチ内壁は表面の凹凸が激しいため、熱酸化膜9のみの場合(図3(d))より、本発明の積層ゲート絶縁膜を用いた場合(図3(c))の方が、Si表面の凹凸による絶縁膜の局所的薄膜化を抑制し、デバイス特性への悪影響を防止することができる。次に、図4は、図1に示すデバイス断面に対して90度方向を変えて切断した断面を示しており、図4(b)は図4(a)中Cで示す部分の部分拡大図で、図において、19は厚い酸化膜、20はトレンチより深いP層である。図4に示すように、本実施の形態によれば、厚い酸化膜19との境界部であるLocos Edgeでのゲート絶縁膜の局所的な薄膜化も防止することができ、図4(c)に示す従来例と比較して局

所的な電界集中の発生を抑制することができる。以上、本実施の形態における製造工程において、熱酸化膜9のみのゲート絶縁膜を用いた従来例に比べて本発明ではゲート酸化時の熱酸化工程が少ないために、トレンチ内壁、トレンチ開口部及びトレンチ底部、Locos Edgeにおける局所的なゲート絶縁膜の薄膜化が抑制され、膜厚の均一性が向上する効果が得られる。

【0014】なお、本実施の形態では、熱酸化膜9とCVD酸化膜10の2種類の絶縁膜よりなる積層ゲート絶縁膜を示したが、本発明における積層ゲート絶縁膜の組み合わせはこれに限定されるものではない。その他の例について以下に列挙する。以下に示す積層ゲート絶縁膜によっても上記効果は達成される。

(1) 熱酸化膜9を形成後、N₂O、NH₃、NOガスによる窒化を例えば900~1100°Cで行い、熱酸化膜9(SiO₂)/基板(Si)界面に窒素を偏析させて窒化酸化膜とした積層ゲート絶縁膜。

(2) CVD酸化膜10を形成後、N₂O、NH₃、NOガスによる窒化を例えば900~1100°Cで行い、熱酸化膜9/基板界面及びゲート電極(d poly-Si)/CVD酸化膜10(SiO₂)界面に窒素を偏析させて窒化酸化膜とした積層ゲート絶縁膜。

(3) 熱酸化膜9を形成後、LPCVDによりSi₃N₄膜21を形成し、このSi₃N₄膜21中のトラップ、水素、ピンホールを取り除くためにSi₃N₄膜21表面を酸化して酸化膜22を形成し、その後LPCVD法でCVD酸化膜23を形成した積層ゲート絶縁膜(図5)。

(4) 熱酸化膜9及びCVD酸化膜10を形成後、LPCVDによりSi₃N₄膜を形成し、このSi₃N₄膜中のトラップ、水素、ピンホールを取り除くためにSi₃N₄膜表面を酸化して酸化膜を形成し、その後さらにLPCVD法で別のCVD酸化膜を形成した積層ゲート絶縁膜。

【0015】また、本実施の形態では、図1(d)中Dで示すように、P⁺コレクタ構造のIGBTを示したが、本発明が適用されるIGBTのコレクタ構造の組み合わせはこれに限定されるものではなく、例えば図6

(a)に示すP⁺/P⁺コレクタ構造、図6(b)に示すP⁺/N⁺コレクタ構造、及び図6(c)に示すPコレクタ構造のIGBTにも適用することができ、同様の効果が得られる。

【0016】実施の形態2. 以下に、本発明における数種類の積層ゲート絶縁膜及び比較のためのゲート絶縁膜を含む5種類のサンプルA~Eについて、ゲート絶縁膜特性及びトランジスタ特性について評価した結果を記す。各サンプルのゲート絶縁膜条件を図7に示す。ただし、サンプルAは従来例に示した熱酸化膜のみ、サンプルB、サンプルC及びサンプルDは本発明による積層ゲート絶縁膜、サンプルEは比較例としてCVD酸化膜の

みのゲート絶縁膜とした。

【0017】図8は、サンプルA及びサンプルCについて、ゲート電極表面から基板に向かっての窒素濃度をSIMSにより測定した結果を示す図である。図において、縦軸は窒素濃度、横軸は測定深さを示している。本発明によるサンプルCでは、ゲート酸化膜(SiO_2) / 基板(Si)界面において、窒素濃度が非常に大きい。このサンプルCのように、積層ゲート酸化膜(SiO_2) / 基板(Si)界面及びゲート電極(d-polySi) / 積層ゲート酸化膜(SiO_2)界面のいずれか一方または両方に窒素を偏析させた場合、ゲート絶縁膜と基板界面に存在するダングリングボンドや不完全な結合を占有することにより界面準位の発生を抑制することができる。さらに、酸化膜中の電子トラップとして作用する Si-H 、 Si-PH 結合が Si-N 結合となるため、ゲート絶縁膜中の電子トラップを低減することができる。また、基板中およびゲート電極中のドーパントのゲート絶縁膜への拡散の抑制作用もある。これらの結果、トレンチ内壁に形成するゲート絶縁膜特性及び信頼性が向上する。さらに、トレンチ側壁に存在するMOSトランジスタのホットキャリア耐性向上、チャネル領域の移動度が向上する効果も得られる。

【0018】図9及び図10は、それぞれ $n\text{-ch}$ トレンチMOSFET(デバイス構造は図20に示す)におけるゲート酸化膜リーク特性及びゲート絶縁膜耐圧分布のゲートバイアス依存性を示している。図9において、縦軸 J_g は電流密度、 E_{ox} は電界強度であり、実線はゲート正バイアス時(Gate Positive)、点線はゲート負バイアス時(Gate Negative)を示している。また、図10において縦軸は絶縁破壊の発生頻度、横軸 E_{ox} は電界強度である。図9に示すように、本発明によるサンプルB、サンプルC及びサンプルDは、従来例のサンプルAと比較して酸化膜リーク特性が向上している。特に、サンプルDでは、 Si_3N_4 膜を Si 基板表面よりゲート電極材料側に位置させることで、ゲート負バイアス時の酸化膜リーク特性が他のサンプルに比べ顕著に向上する効果が得られた。なお、図9において、サンプルCの結果はサンプルBとほぼ同じであったため、図示を省略している。また、図10に示すように、本発明のサンプルB、サンプルC及びサンプルDは、従来例であるサンプルAよりも、ゲート酸化膜耐圧分布が向上し、高電界強度側に絶縁破壊の発生頻度のピーク値がシフトした。

【0019】図11及び図12は、それぞれ $n\text{-ch}$ トレンチMOSFET(デバイス構造は図20に示す)における定電流TDDB特性のゲートバイアス依存性及び50%累積故障時の Q_{90} (Charge-to-Breakdown)値のキャパシタンス依存性を示している。図11において、縦軸のCumulative Failureは累積故障率、実線はゲート正バイアス時(Gate Positive)、点線はゲート負バイアス時(Gate Negative)を示している。また、図1

2において縦軸は50%累積故障時の Q_{90} 値、横軸はキャパシタンス面積である。図11より、従来例のサンプルAは、他のサンプルに比べ初期故障が多く Q_{90} 値が低いことから信頼性が劣っており、本発明によるサンプルB、サンプルC及びサンプルDでは、ゲート絶縁膜の信頼性を向上させる効果が得られた。さらに、図12より、本発明によるサンプルB及びサンプルCは、従来例のサンプルAより Q_{90} 値のキャパシタンス面積依存性が小さいことから、デバイスの大面積化におけるゲート絶縁膜信頼性確保の観点から非常に有効である。

【0020】図13は、図1(d)に示すIGBTにおけるゲート歩留まりの有効セル面積(キャパシタンス面積)依存性を示している。ここで有効セル面積とは、チップ面積のうちMOSトランジスタとして動作するデバイスが動作する領域の面積を指している。トレンチMOSゲート構造においては、従来例である熱酸化膜のみのサンプルAより、本発明によるサンプルBの積層ゲート絶縁膜の方が、有効セル面積が増加してもゲート歩留まりの低下を抑制することが可能である。図11及び図12では、本発明による積層ゲート絶縁膜(サンプルB及びサンプルC)の方がサンプルAよりも信頼性が高いことを示したが、ゲート歩留まりの観点からも優れていることがわかった。

【0021】図14及び図15(a)は、定電流TDDB特性より得られる50%累積故障時の Q_{90} 値及び $|\Delta V_{ox}|$ の平均値と積層ゲート絶縁膜厚に占めるCVD酸化膜厚の比率 r ($r = (\text{CVD酸化膜厚} / \text{トータルゲート絶縁膜厚}) \times 100$)の関係を示している。すなわち、図14及び図15(a)において、横軸の左端($r=0$)は熱酸化膜のみの場合、横軸の右端($r=100$)はCVD酸化膜のみの場合を示している。また、 $|\Delta V_{ox}|$ は、図15(b)に示すように以下の式から得られる。

$$|\Delta V_{ox}| = |\Delta V_{ox, \text{Finish}} - \Delta V_{ox, \text{Initial}}|$$

図14及び図15(a)より、 r 値が約20%以上の時、 Q_{90} 値の対数が $1 \times 10^{-1} \text{ C/cm}^2$ 以上、 $|\Delta V_{ox}|$ 値が約5V以下となり、ゲート絶縁膜特性が向上する。なお、 r 値が約20%の時 Q_{90} 値の対数 $1 \times 10^{-1} \text{ C/cm}^2$ は、使用可能なレベルであり、 r 値が約50%以上では Q_{90} 値の対数が 1 C/cm^2 という理想的なレベルとなる。これらの結果から、CVD酸化膜の比率は、積層ゲート絶縁膜全体の膜厚の20%以上とすることが望ましい。

【0022】図16及び図17は、トレンチMOSトランジスタ特性のゲート絶縁条件依存性を示している。なお、評価したトレンチMOSトランジスタのデバイス構造は図18に示すように、 $n\text{-ch}$ 型のMOSトランジスタである。図18において、36はチャネルを示している。また、図17において縦軸の I_D はドレイン電流、横軸の V_D はドレイン電圧を示している。図16よ

り、熱酸化膜のみのサンプルAより、本発明による積層ゲート絶縁膜であるサンプルB、サンプルC及びサンプルDの方が、高電界領域で g_m すなわち移動度が向上する。また、図17において、高電界領域でサンプルAよりサンプルCの方がドレイン電流が大ききことから、MOSトランジスタの電流駆動能力が高くなるという効果が得られた。このように、高電界領域において本発明のサンプルB、サンプルC及びサンプルDの移動度が向上するのは、チャンネルが形成されるトレンチ側壁のSi表面凹凸に起因したキャリアの表面散乱を低減する効果によるものである。以上の評価結果より、MOS構造のゲートを有する半導体装置において、本発明による積層ゲート絶縁膜を用いることにより、従来例の熱酸化膜のみ、またはCVD酸化膜のみの場合よりもゲート酸化膜特性及び信頼性が向上し、さらにMOSトランジスタ特性が向上することが明らかである。

【0023】実施の形態3. 本実施の形態では、本発明による積層ゲート絶縁膜が適用可能な他のデバイス構造について簡単に説明する。図19は、ゲート電極材料11表面が半導体基板1の表面よりもトレンチ8の深さ方向にあるトレンチMOSゲート構造を用いたIGBTを示している。また、図20は、トレンチMOSゲート構造のMOSFETである。図20において、30はn型高濃度層、31はn型拡散層、32はn型低濃度拡散層、33はp型拡散層、34はn型高濃度拡散層、35はp型高濃度拡散層である。なお、図20ではn-ch型MOSFETを示しているが、p-ch型であっても構わない。また、図21に示す平面MOSゲート構造のデバイスや、図22に示すようにトレンチの一部がMOSゲートとして動作するデバイスに適用しても良い。図22において、E及びGはMOSゲートとして動作するトレンチ、F及びHはMOSゲートとして動作しないトレンチである。以上のように、本発明は、トレンチMOSゲート構造、平面MOSゲート構造のパワーデバイス及びその他のMOSゲートデバイスに広く適用可能であり、いずれのデバイスにおいても上記実施の形態1及び2と同様の効果が得られる。

【0024】実施の形態4. 上記実施の形態1〜3では、主にトレンチをMOSゲートとして用いるデバイスについて記したが、本発明は半導体基板上に設けられた複数のトレンチの一部または全てをキャパシタまたは分離として用いる半導体装置にも適用することができ、トレンチ内壁に設けられた熱酸化膜と、この熱酸化膜より上層に設けられたCVD酸化膜の少なくとも2種類以上の絶縁膜を含む積層絶縁膜を用いるものである。なお、この場合も、CVD酸化膜の比率を積層絶縁膜全体の膜厚の20%以上とする。このトレンチ内部を埋め込んでいる積層絶縁膜以外の材料は、その表面が半導体基板表面よりも突出している場合や、表面がトレンチ内部にあり半導体基板表面に突出していない場合がある。また、

積層絶縁膜は、熱酸化膜/半導体基板界面、及びトレンチ内部を埋め込んでいる材料/CVD酸化膜界面のいずれか一方または両方に、窒素が偏析している窒化酸化膜を含んでもよい。さらに、積層絶縁膜は、 Si_3N_4 膜や、 Si_3N_4 膜の表面を酸化した酸化膜を含む場合もあり、いずれの場合も上記実施の形態1及び2と同様の絶縁膜の特性向上が得られる。

【0025】実施の形態5. 本実施の形態では、本発明による積層ゲート絶縁膜が適用可能な平面MOS構造のゲートを用いたデバイスについて簡単に説明する。平面MOSゲートデバイスにおいても、ゲート絶縁膜を形成するSi表面に欠陥、プラズマダメージ等が存在し、ゲート絶縁膜形成時にその欠陥が酸化膜中に取り込まれる等により、絶縁膜中のトラップ増加、 Si/SiO_2 界面準位増加により、絶縁膜特性を低下させる。さらに、Si表面に凹凸が存在するために、熱酸化法のみでゲート絶縁膜を形成すると、局所的な薄酸化が生じる。特にその挙動はゲート酸化膜が薄酸化されるほど顕著になり、ゲート絶縁膜特性、MOSトランジスタ特性の劣化を引き起こすことになる。このため、本発明における積層ゲート絶縁膜は、トレンチの一部または全てをMOSゲート、キャパシタまたは分離として用いるデバイスのみならず、平面MOSゲートデバイスにおいても同様の効果が得られる。

【0026】

【発明の効果】以上のように、本発明によれば、MOS構造のゲートを有する半導体装置において、半導体基板上に設けられた熱酸化膜とこの熱酸化膜よりもゲート電極側に設けられたCVD酸化膜の少なくとも2種類以上の絶縁膜を含む積層ゲート絶縁膜を備え、CVD酸化膜の比率を積層ゲート絶縁膜全体の膜厚の20%以上とすることにより、ゲート絶縁膜の局所的な薄酸化やそれに起因する局所的な電界集中を抑制することができ、リーク特性、耐圧分布、信頼性等のゲート絶縁膜特性が向上する。さらに、ゲート絶縁膜信頼性やゲート歩留まりの有効セル面積（キャパシタ面積）依存性も向上し、MOSトランジスタ特性の向上を図ることが可能である。

【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるトレンチMOSゲート構造を用いたIGBTの製造方法を示す断面図である。

【図2】 本発明の実施の形態1におけるIGBTと従来のIGBTのトレンチ開口部形状を比較する部分断面図である。

【図3】 本発明の実施の形態1におけるIGBTと従来のIGBTのトレンチ底部形状を比較する部分断面図である。

【図4】 本発明の実施の形態1におけるIGBTと従来のIGBTのLocos Edgeの形状を比較する部分断面図である。

【図5】 本発明の実施の形態1におけるトレンチMOSゲート構造を用いたIGBTを示す断面図である。

【図6】 本発明の実施の形態1におけるトレンチMOSゲート構造を用いたIGBTのコレクタ構造の他の組み合わせ例を示す部分断面図である。

【図7】 本発明の実施の形態2において、ゲート絶縁膜特性及びトランジスタ特性を評価したサンプルのゲート絶縁膜条件を示す図である。

【図8】 本発明の実施の形態2において、SIMSによりゲート電極表面から基板に向かって窒素濃度を測定した結果を示す図である。

【図9】 本発明の実施の形態2において、トレンチMOSFETのゲート絶縁膜リーク特性のゲートバイアス依存性を評価した結果を示す図である。

【図10】 本発明の実施の形態2において、トレンチMOSFETのゲート絶縁膜耐圧分布のゲートバイアス依存性を評価した結果を示す図である。

【図11】 本発明の実施の形態2において、トレンチMOSFETの定電流TDD特性のゲートバイアス依存性を評価した結果を示す図である。

【図12】 本発明の実施の形態2において、トレンチMOSFETの50%累積故障時の Q_{50} 値のキャパシタ面積依存性を評価した結果を示す図である。

【図13】 本発明の実施の形態2において、IGBTにおけるゲート歩留まりのセル面積依存性を評価した結果を示す図である。

【図14】 本発明の実施の形態2において、50%累積故障時の Q_{50} 値とゲート絶縁膜厚に占めるCVD酸化膜厚の比率 r の関係を示す図である。

【図15】 本発明の実施の形態2において、 $|\Delta V_{ox}|$ とゲート絶縁膜厚に占めるCVD酸化膜厚の比率 r の関係を示す図である。

【図16】 本発明の実施の形態2において、トレンチMOSトランジスタ特性のゲート絶縁膜条件依存性を評

価した結果を示す図である。

【図17】 本発明の実施の形態2において、トレンチMOSトランジスタ特性のゲート絶縁膜条件依存性を評価した結果を示す図である。

【図18】 本発明の実施の形態2においてMOSトランジスタ特性の評価に用いたトレンチMOSトランジスタのデバイス構造を示す図である。

【図19】 本発明の実施の形態3におけるトレンチMOSゲート構造を用いたIGBTを示す断面図である。

【図20】 本発明の実施の形態3におけるトレンチMOSゲート構造を用いたMOSFETを示す断面図である。

【図21】 本発明の実施の形態3における平面MOSゲート構造を用いたデバイスを示す断面図である。

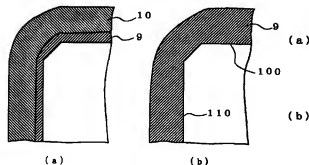
【図22】 本発明の実施の形態3におけるトレンチの一部がMOSゲートとして動作するデバイスを示す断面図である。

【図23】 従来のトレンチMOSゲート構造を用いたIGBTを示す断面図である。

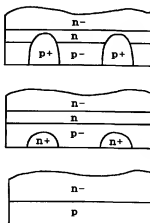
【符号の説明】

1 N型低濃度層、2 N型高濃度拡散層、3 P型高濃度拡散層、4 P型ベース層、5 熱酸化膜、6 N⁺型エミッタ拡散層、7 CVD酸化膜、8 トレンチ、9 熱酸化膜(SiO₂)、10 CVD酸化膜(SiO₂)、11 ゲート電極材料、11a ゲート電極材料の酸化膜、12 P型高濃度拡散層、13 CVD酸化膜、14 シリケートガラス、15 CVD酸化膜、16 シリサイド、17 バリメタル、18 アルミ、19 厚い酸化膜、20 トレンチより深いP層、21 Si₃N₄膜、22 Si₃N₄膜の酸化膜、23 CVD酸化膜、30 n型高濃度層、31 n型拡散層、32 n型低濃度拡散層、33 p型拡散層、34 n型高濃度拡散層、35 p型高濃度拡散層、36 チャネル。

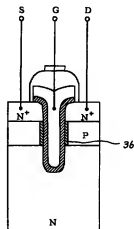
【図2】



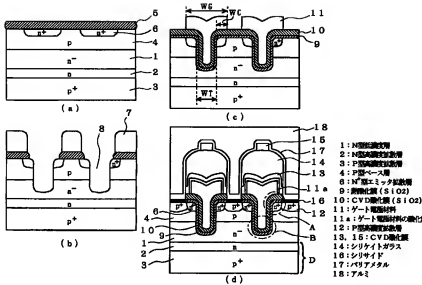
【図6】



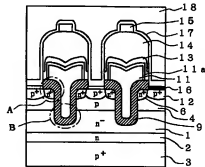
【図18】



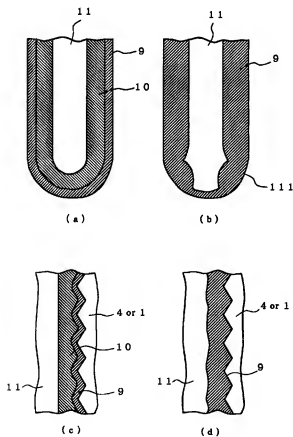
【図1】



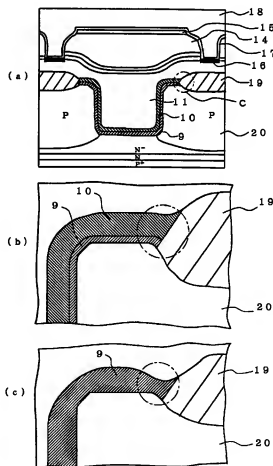
【図23】



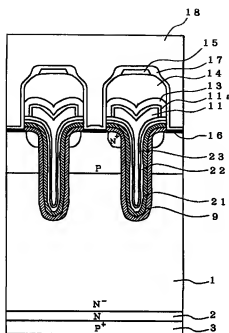
【図3】



【図4】



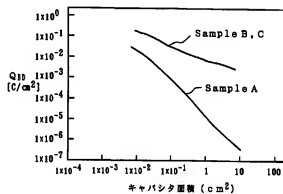
【図5】



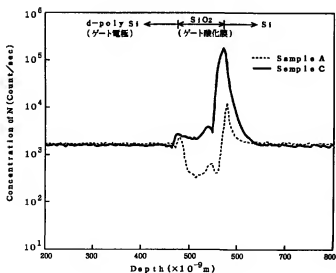
【図7】

Sample	ゲート絶縁膜 条件
A	熱酸化膜のみ
B	CVD酸化膜/熱酸化膜
C	CVD酸化膜/熱酸化膜 (窒化酸化膜)
D	CVD酸化膜 (もしくは Si_3N_4 表面の再酸化で形成した酸化膜) / Si_3N_4 / 熱酸化膜
E	CVD酸化膜のみ

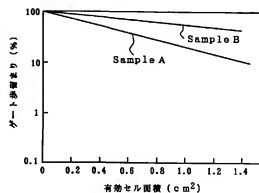
【図12】



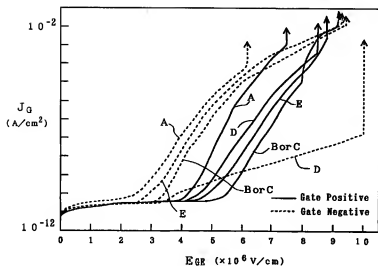
【図8】



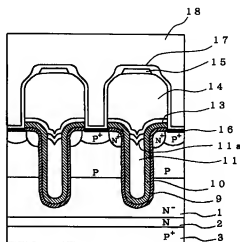
【図13】



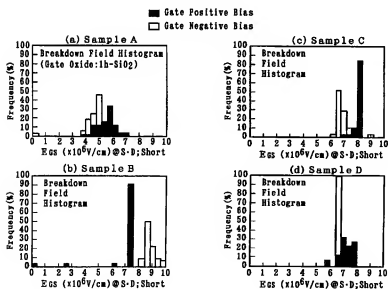
【図9】



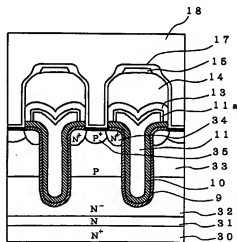
【図19】



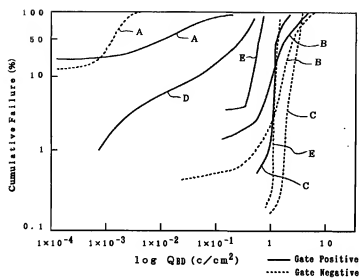
【図10】



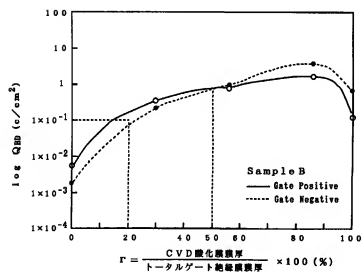
【図20】



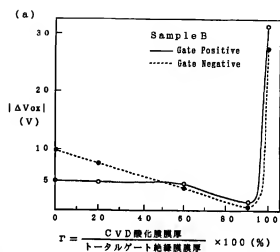
【図11】



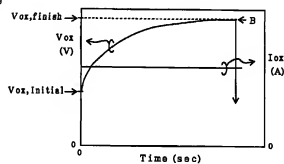
【図14】



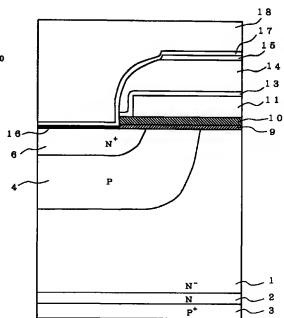
【図15】



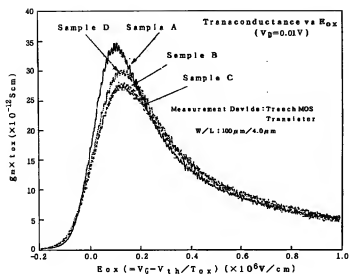
(b)



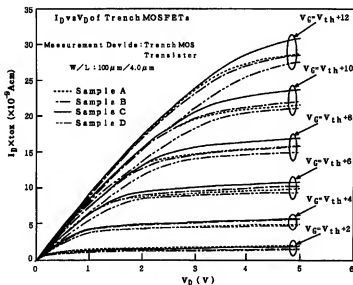
【図21】



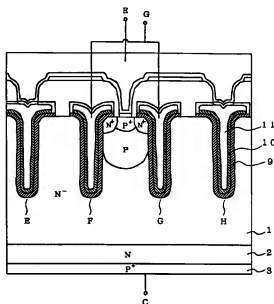
【図 16】



【図 17】



【図 22】



【手続補正書】

【提出日】平成 11 年 11 月 17 日（1999. 11. 17）

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 6

【補正方法】変更

【補正内容】

【請求項 6】 半導体基板上に設けられたトレンチをゲート、キャパシタまたは分離として用いる半導体装置において、上記トレンチ内壁に設けられた熱酸化膜とこの

熱酸化膜より上層に設けられた CVD 酸化膜の少なくとも 2 種類以上の絶縁膜を含む積層絶縁膜を備え、上記 CVD 酸化膜の比率を上記積層絶縁膜全体の膜厚の 20% 以上とすることを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】請求項 17

【補正方法】変更

【補正内容】

【請求項 17】 半導体基板上に設けられたトレンチを

ゲート、キャパシタまたは分離として用いる半導体装置の製造方法であって、

半導体基板上にトレンチを形成する工程、

上記トレンチの内壁に熱酸化により熱酸化膜を形成する工程、

上記熱酸化膜より上層にCVD法によりCVD酸化膜を形成し、少なくとも上記熱酸化膜と上記CVD酸化膜を含む積層絶縁膜を形成する工程、

上記積層絶縁膜をアニール後、所定の材料によりトレンチ内部を埋め込む工程を含むことを特徴とする半導体装置の製造方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】また、半導体基板上に設けられたトレンチをゲート、キャパシタまたは分離として用いる半導体装置において、トレンチ内壁に設けられた熱酸化膜とこの熱酸化膜より上層に設けられたCVD酸化膜の少なくとも2種類以上の絶縁膜を含む積層絶縁膜を備え、CVD酸化膜の比率を積層絶縁膜全体の膜厚の20%以上とするものである。また、トレンチ内部を埋め込んでいる積層絶縁膜以外の材料は、その表面が半導体基板表面よりも突出しているものである。また、トレンチ内部を埋め込んでいる積層絶縁膜以外の材料は、その表面がトレンチ内部にあり半導体基板表面に突出していないものである。また、積層絶縁膜は、熱酸化膜/半導体基板界面及びトレンチ内部を埋め込んでいる材料/CVD酸化膜界面のいずれか一方または両方に、窒素が偏析している窒素酸化膜を含むものである。また、積層絶縁膜は、 Si_3N_4 膜を含むものである。さらに、積層絶縁膜は、 Si_3N_4 膜表面を酸化した酸化膜を含むものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】また、本発明に係わる半導体装置の製造方法は、MOS構造のゲートを有する半導体装置の製造方法であって、半導体基板上に熱酸化により熱酸化膜を形成する工程と、熱酸化膜より上層にCVD法によりCVD酸化膜を形成し、少なくとも熱酸化膜とCVD酸化膜を含む積層ゲート絶縁膜を形成する工程と、積層ゲート絶縁膜をアニール後、ゲート電極を形成する工程を含んで製造するようにしたものである。また、熱酸化膜を形成後、 N_2O 、 NH_3 、 NO ガスによる窒化を行い、熱酸化膜/半導体基板界面に窒素を偏析させる工程を備えたものである。また、CVD酸化膜を形成後、 N_2O 、 NH_3 、 NO ガスによる窒化を行い、熱酸化膜/半導体

基板界面及びゲート電極/CVD酸化膜界面に窒素を偏析させる工程を含むものである。また、熱酸化膜またはCVD酸化膜を形成後、 Si_3N_4 膜を形成する工程を含むものである。さらに、 Si_3N_4 膜を形成後、この Si_3N_4 膜表面を酸化した酸化膜を形成する工程、または上記 Si_3N_4 膜表面を酸化し、さらに別のCVD酸化膜を形成する工程を含むものである。また、半導体基板上に設けられたトレンチをゲート、キャパシタまたは分離として用いる半導体装置の製造方法であって、半導体基板上にトレンチを形成する工程と、トレンチの内壁に熱酸化により熱酸化膜を形成する工程と、熱酸化膜より上層にCVD法によりCVD酸化膜を形成し、少なくとも熱酸化膜とCVD酸化膜を含む積層絶縁膜を形成する工程と、積層絶縁膜をアニール後、所定の材料によりトレンチ内部を埋め込む工程を含んで製造するようにしたものである。また、熱酸化膜を形成後、 N_2O 、 NH_3 、 NO ガスによる窒化を行い、熱酸化膜/半導体基板界面及びトレンチ内部を埋め込んでいる材料/CVD酸化膜界面に窒素を偏析させる工程を含むものである。また、熱酸化膜またはCVD酸化膜を形成後、 Si_3N_4 膜を形成する工程を含むものである。さらに、 Si_3N_4 膜を形成後、この Si_3N_4 膜表面を酸化した酸化膜を形成する工程、または上記 Si_3N_4 膜表面を酸化し、さらに別のCVD酸化膜を形成する工程を含むものである。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】図9及び図10は、それぞれn-chトレンチMOSFET（デバイス構造は図20に示す）におけるゲート酸化膜リーク特性及びゲート絶縁膜耐圧分布のゲートバイアス依存性を示している。図9において、縦軸J_gは電流密度、E_{ox}は電界強度であり、実線はゲート正バイアス時（Gate Positive）、点線はゲート負バイアス時（Gate Negative）を示している。また、図10において縦軸は絶縁破壊の発生頻度、横軸E_{ox}は電界強度である。図9に示すように、本発明によるサンプルB、サンプルC及びサンプルDは、従来例のサンプルAと比較して酸化膜リーク特性が向上している。特に、サンプルDでは、 Si_3N_4 膜をSi基板表面よりゲート電極材料側に位置させることで、ゲート負バイアス時の酸化膜リーク特性が他のサンプルに比べ劇的に向上する効果が得られた。なお、図9において、サンプルCの結果はサンプルBとほぼ同じであったため、図示を省略している。また、図10に示すように、本発明のサンプルB、サンプルC及びサンプルDは、従来例であるサン

プルAよりも、ゲート酸化膜耐圧分布が向上し、高電界強度側に絶縁破壊の発生頻度のピーク値がシフトした。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】図11及び図12は、それぞれn-chトレンチMOSFET（デバイス構造は図20に示す）における定電流TDB特性のゲートバイアス依存性及び50%累積故障時の Q_{BD} （Charge-to-Breakdown）値のキャパシタ面積依存性を示している。図11において、縦軸のCumulative Failureは累積故障率、実線はゲート正バイアス時（Gate Positive）、点線はゲート負バイアス時（Gate Negative）を示している。また、図12において縦軸は50%累積故障時の Q_{BD} 値、横軸はキ

ャパシタ面積である。図11より、従来例のサンプルAは、他のサンプルに比べ初期故障が多く Q_{BD} 値が低いことから信頼性が劣っており、本発明によるサンプルB、サンプルC及びサンプルDでは、ゲート絶縁膜の信頼性を向上させる効果が得られた。さらに、図12より、本発明によるサンプルB及びサンプルCは、従来例のサンプルAより Q_{BD} 値のキャパシタ面積依存性が小さいことから、デバイスの大面積化におけるゲート絶縁膜信頼性確保の観点から非常に有効である。

【手続補正7】

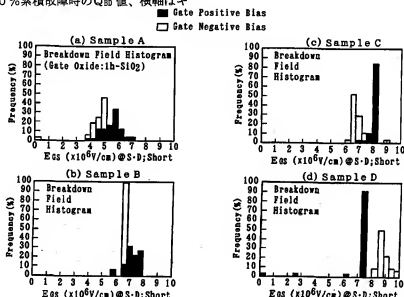
【補正対象書類名】図面

【補正対象項目名】図10

【補正方法】変更

【補正内容】

【図10】



フロントページの続き

(51) Int. Cl.⁷

識別記号

H01L 21/336

F I

H01L 29/78

テーマコード* (参考)

301G

301V

653A

658F

F ターム(参考) 5F032 AA36 AA37 AA45 AA46 AA48
AA54 BB04 CA17 CA24 DA02
DA03 DA53 DA58 DA74
5F040 DA19 DC01 EB14
5F058 BA01 BA09 BD02 BD04 BD10
BF02 BF04 BF29 BF30 BF62
BH03 BJ01 BJ07 BJ10